

1		2		3		4		5		6		7		8		9		10	
Variants du																			
Groupe	E	F	S	G															
Circuit diagrams																			
2024 National Task 2 / Tâche 2																			
HARNESS SAP #:				THIS DRAWING AND THE OBJECTS OR SYSTEMS IT DESCRIBES ARE THE PROPERTY OF FESTO DIDACTIC, AND CANNOT BE USED WITHOUT WRITTEN AUTHORIZATION. CE PLAN ET LES OBJETS OU SYSTÈMES QU'IL DÉCRIT SONT LA PROPRIÉTÉ DE FESTO DIDACTIC, ET NE PEUVENT ÊTRE EMPLOYÉS QUE SUR AUTORISATION ÉCRITE. ESTE PLANO Y LOS OBJETOS O SISTEMAS QUE EN ÉL SE DESCRIBEN SON PROPIEDAD DE FESTO DIDACTIC, Y NO PUEDEN SER UTILIZADOS SIN AUTORIZACIÓN ESCRITA.												2024 National Task 2 / Tâche 2		HLF=	
																Creator: CA0FGVN		ML+	
Corrector	Revision															Approver		Date: 24/05/2024	
																of 12			



1	2	3	4	5	6	7	8	9	10
Table of contents									
Assignment		Page	Description					Last modified	By
		1	Title					22/05/2024	ca0fgvn
		2	Table of contents					24/05/2024	ca0fgvn
		3	Assembly front					24/05/2024	ca0fgvn
		4	Assembly back					24/05/2024	ca0fgvn
=Schematic		5	Conveyors Inputs					24/05/2024	ca0fgvn
		6	Conveyors Outputs					24/05/2024	ca0fgvn
		7	Identification & Distribution Inputs					24/05/2024	ca0fgvn
		8	Identification & Distribution Outputs					24/05/2024	ca0fgvn
		9	I/O Terminal Inputs					24/05/2024	ca0fgvn
		10	I/O Terminal Outputs					24/05/2024	ca0fgvn
		11	Handling Inputs					24/05/2024	ca0fgvn
		12	Handling Outputs					24/05/2024	ca0fgvn
</									



















